

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-250867

(43)Date of publication of application : 28.09.1993

(51)Int.Cl.

G11C 11/401

(21)Application number : 04-339884

(71)Applicant : NEC CORP

(22)Date of filing : 21.12.1992

(72)Inventor : ISHIKAWA TORU

(30)Priority

Priority number : 03360289

Priority date : 27.12.1991

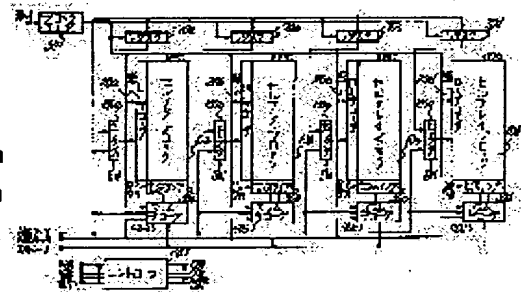
Priority country : JP

(54) RANDOM ACCESS MEMORY

(57)Abstract:

PURPOSE: To make a high-speed accessing possible.

CONSTITUTION: Sense amplification activating signals SAP and SAN are maintained at high and low potentials respectively even after a memory accessing is completed, a sense amplifier 30a is maintained in an activated state and data read out of a memory cell is held. This memory device is provided with a block decoder 50 for specifying cell array blocks different from one another being synchronized with a row selection signal RAS and a column selection signal CAS and thus, at the time of the input of the column selection signal CAS, reading/writing operations are made possible on a page mode covering cell array blocks 10a to 10d.



LEGAL STATUS

[Date of request for examination]

25.12.1996

[Date of sending the examiner's decision of rejection]

23.02.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2962080

[Date of registration]

06.08.1999

[Number of appeal against examiner's decision of rejection]

11-04673

[Date of requesting appeal against examiner's
decision of rejection]

25.03.1999

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Random access memory characterized by providing the following. A memory cell array which consists of two or more cel array blocks arranged in the direction of a digit line A low decoder, a column decoder, and a sense amplifier which were formed by this cel array block and one to one correspondence, respectively A data potential holding circuit holding data on a DEJITO line by which reading appearance was carried out by this access even after access ending to said cel array block A block decoder which answers a train selection timing signal and a line selection timing signal, and can specify said two or more blocks as every one location shifted mutually on a time-axis

[Claim 2] The 1st register holding address information of a memory cell corresponding to a word line which was formed respectively corresponding to said two or more cel array blocks, and was chosen at the time of the newest access, Although address information which was similarly prepared respectively corresponding to said cel array block, and usually synchronized with a train selection signal is accepted It has further a selector which accepts said address information which said register will hold if a restoration signal inputs from high order equipment, and is led to a low decoder, respectively. Random access memory according to claim 1 characterized by reserving write-in actuation to said memory cell till said restoration signal input.

[Claim 3] Random access memory according to claim 1 characterized by having further the 2nd register holding address information of a memory cell corresponding to a word line which was formed respectively corresponding to said two or more cel array blocks, and was chosen at the time of the newest access.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention consists of random access memory (RAM) and two or more blocks with which especially the memory cell array was arranged in the direction of a digit line, and relates to the large capacity RAM of the integrated-circuit configuration which equipped each of these blocks with the low decoder, the column decoder, and the sense amplifier.

[0002]

[Description of the Prior Art] When drawing 8 which is the block diagram of an example of this conventional kind of RAM is referred to, this example is a 4-megabit dynamic RAM which consists of integrated circuits, and is 1 Mx4-bit dynamic RAM which performs write-in read-out by 4 bitwises. The memory cell array of this dynamic RAM consists of four cel array blocks 10a, 10b, 10c, and 10d accessed to the timing mutually shifted as below-mentioned, and each of these cel array block consists of the memory cell arranged in the shape of [of 256 train x4096 line] a matrix. These memory cells consist of MOSs and need refresh periodical for compensation of volatilization of maintenance data with time. The column decoders 40a, 40b, 40c, and 40d are arranged at the cel array blocks 10a, 10b, 10c, and 10d respectively along with the low decoders 20a, 20b, 20c, and 20d, sense amplifiers 30a, 30b, and 30c, and 30d list. Although cel array block 10a is explained below, this explanation suits as it is about other blocks 10b, 10c, and 10d.

[0003] Low decoder 20a chooses the word line corresponding to one of the 256 trains of cel array block 10a, and reading and sense amplifier 30a write each 4096 memory cell excited by this selected word line. It is only four pieces to be accessed simultaneous because of writing/read-out among these 4096 memory cells, and column decoder 40a chooses four digit lines by which these cels belong.

[0004] On the other hand, in response to supply of the block decoder 50 which chooses one of the cel array blocks 10a, 10b, 10c, and 10d, the train selection signal RAS from the outside, the line selection signal CAS, the write-in enable signal WE, and the chip enable signal OE, it has the controller 60 which generates a control signal required for control of each above-mentioned circuit common to the above-mentioned cell blocks 10a, 10b, 10c, and 10d.

[0005] If the chip enable signal OE is activated, this RAM will go into operating state. First, while the 8-bit address codes 0-ARC 7 supplied from the outside synchronizing with the train selection signal RAS are led to low decoder 20a etc. and the 2-bit address codes 8-ARC 9 are led to the block decoder 50, respectively, the output of the block decoder 50 is supplied to column decoder 40a, such as low decoder 20a, etc. One word line is chosen among this result, for example, memory cell array block 10a.

[0006] Subsequently, the 8-bit address codes 0-ARC 7 and the 2-bit address codes ARC 8-9 which are supplied from the outside synchronizing with the line selection signal CAS are led to column decoder 40a etc. Since the output of the block decoder 50 is already supplied to column decoder 40a, if the example of a top is followed, four of 4096 digit lines of cel array block 10a will be chosen.

[0007] distinction of read-out actuation and write-in actuation is specified with the write-in enable signal WE, and a read-out signal amplifies it by sense amplifier 30a from four memory cells specified by the above-mentioned selected word line and an above-mentioned digit line at the time of read-out actuation - having -- 4-bit data I/O 0-3 -- ** -- it carries out and is outputted outside. Moreover, 4-bit data I/O 0-3 supplied from the outside at the time of write-in actuation is written in the four same memory cells.

After access about one word line is completed, sense amplifier 30a corresponding to cel array block 10a to which the word line and its word line belong is inactivated, and the data on a digit line also disappears.

[0008]

[Problem(s) to be Solved by the Invention] In the conventional RAM mentioned above, even if the word line chosen when access for read-out (read-out access) moved to other cel array blocks is the same as the word line chosen at the time of access of the last to the memory cell array, since the data on the digit line concerned has disappeared, it must excite a word line again and must start read-out access. Rapid access will be checked so much. That is, in the conventional RAM, rapid access like a page mode is restricted to the data accessed with the same word line within the same cel array block, and has the trouble that it cannot move to the other cel array block.

[0009] The object of this invention is to offer possible RAM of rapid access.

[0010] Other objects of this invention are to offer $R \times M$ which can expand the address range in a page mode which can be operated.

[0011]

[Means for Solving the Problem] RAM of this invention is equipped with a data-hold circuit where after access termination holds data on a digit line for [concerned] access. Moreover, the train selection signal RAS and the line selection signal CAS are answered, and it has a block decoder which can specify two mutually different blocks.

[0012] Preferably, RAM of this invention equips everything but the above-mentioned data-hold circuit and a block decoder with the 1st register prepared in each of the above-mentioned block. This 1st register holds address information which specifies a word line set as the access object of the last in the block concerned with directions of a block decoder. At this time, writing to a memory cell is performed in advance of that access activation based on the above-mentioned address information of the above-mentioned register maintenance, when it does not perform but the same block as a degree is accessed. Potential of a word line is recurred for every memory cell access like the conventional RAM.

[0013] Still more preferably, RAM of this invention is equipped with a data-hold circuit, an above-mentioned block decoder, and the 2nd above-mentioned register, and potential of a word line is considered as a configuration which does not recur after memory cell access termination.

[0014]

[Example] If drawing 1 which attached the common reference number to the conventional example of drawing 8 and the common component, and showed the 1st example of this invention to them is referred to, this example will equip with Selectors 80a, 80b, 80c, and 80d Registers 70a, 70b, and 70c and 70d list which were prepared in the cel array blocks 10a, 10b, 10c, and 10d by the one to one correspondence. Moreover, in connection with this, a controller 61 is equipped with a function which is different in the controller 60 in drawing 8 as below-mentioned.

[0015] The block decoder 50 receives 2-bit supply of cel array block code B0-1, and supplies an output to the low decoders 20a-20d, the column decoders 40a-40d, and Registers 70a-70d. Cel array block code B0-1 can take a value which is different synchronizing with the train selection signal RAS and the line selection signal CAS, respectively, and it can perform the below-mentioned continuous action in the page mode covering the cel array blocks 10a-10d by this result. The register directed by the block decoder 50 among Registers 70a-70d holds the 8-bit address codes 0-ARC 7 which synchronized with the train selection signal RAS required for assignment of a word line. Since maintenance of these address codes 0-ARC 7 is not lost even if access moves to other cel array blocks, these registers 70a-70d will memorize the address codes 0-ARC 7 of access of the last in the cel array blocks 10a-10d, respectively.

[0016] Selectors 80a-80d are led to the low decoders 20a-20d in response to supply of the address codes 0-ARC 7 which synchronized with the train selection signal RAS at the time of normal operation. On the other hand, if the below-mentioned restoration signal RSTR is inputted into a controller 61 from the exterior, these selectors 80a-80d will answer the switch signal SW, and will lead the Registers [70a-70d] content of maintenance to the low decoders 20a-20d, respectively.

[0017] Drawing 2 shows the circuitry of cel array block 10a, sense amplifier 30a, and column decoder 40a

about one digit line pair (actually, although cel array block 10a has 4096 digit line pairs, it has illustrated only one only of pairs [them]). 1,024 switches with one pair of N-channel MOS transistors 41 and 42 with which the number of I/O signal-line I/O and I/O (bar) is four, and they were illustrated by each class about column decoder 40a with the external I/O interface are matched. The column signal YSW serves as an input common to four switches of the same location of each class.

[0018] When drawing 3 which shows the details circuit of the important section of a controller 61 is referred to, this circuit The RAS system timing generating circuit 62 which generates medium signal SE', PRC', and WDE1 from the train selection signal RAS and the restoration signal RSTR, The WORD control circuit 63 for restoration which generates the word line activation signal WDE, the switch signal SW, and medium signal RAS' from the train selection signal RAS, the restoration signal RSTR, and the medium signal WDE1, The sense amplifier activated-state holding circuit 64 which answers medium signal SE' prepared respectively corresponding to the cel array blocks 10a-10d, PRC', and RAS', and generates the precharge signal PRC and the medium signal SE, It consists of the sense amplifier activation circuit 65 which is prepared respectively corresponding to the cel array blocks 10a-10d, answers the medium signal SE, and generates the sense amplifier activation signals SAP and SAN.

[0019] The cel array blocks 10a-10d and the sense amplifier activation signals SAP and SAN are supplied [the word line activation signal WDE / the low decoders 20a-20d and the switch signal SW] for Selectors 80a-80d and the precharge signal PRC to sense amplifiers 30a-30d, respectively.

[0020] Actuation of this example is explained below, combining and referring to drawing 4 which is the timing chart of the whole RAN of this example, and drawing 5 which is the timing chart of the drawing 3 graphic display portion.

[0021] First, the case where normal operation RSTR, i.e., a restoration signal, is not activated is explained. In this case, since the restoration signal RSTR is high-level, the medium signal WDE2 in the WORD control circuit 63 for restoration shown in drawing 3 maintains a low level. therefore, drawing 4 and drawing 5 -- setting -- a word line wave -- WO is omitted.

[0022] If cel array block code B0-1, address code B0-1, and address codes 0-ARC 7 are inputted from the outside synchronizing with the train selection signal RAS, the block decoder 50 will decode the block code, and will activate any 1 set among Decoders 20a-20d and Registers 80a-80d by the result. Although the output of the block decoder 50 is supplied also to the column decoders 40a-40d, since it is not activated, this circuit is not accepted at this event. The above-mentioned explanation assumed to be that as which low decoder 20a and register 70a, therefore cel array block 10a were chosen suits similarly, when other cel array blocks 10b-10d are chosen.

[0023] Address codes 0-ARC 7 are validated only in low decoder 20a, although the low decoders 20a-20d are supplied by Selectors 80a-80d since the switch signal SW is high-level. Moreover, address codes 0-ARC 7 are inputted into register 70a, and are held. Although the output of register 70a is supplied to selector 80a, it is not chosen by selector 80a while the switch signal SW stops high-level. For the above-mentioned reason, the address codes 0-ARC 7 currently supplied to column decoder 40a are not accepted at this event, either.

[0024] If the medium signal SE in drawing 3 is set to a low level, the sense amplifier activation signals SAP and SAN will become the same potential, and sense amplifier 30a will be deactivated. The high-level precharge signal PRC generated in the sense amplifier activated-state holding circuit 64 of drawing 3 is impressed to the gate of the N-channel MOS transistor 11 of drawing 2, and as shown in drawing 4, almost simultaneously with this, potential equalization of the digit lines D and D (bar) is carried out. This is pretreatment for preparing for the read-out signal of a memory cell, and clearing the potential imbalance of the digit lines D and D (bar) till then.

[0025] If the precharge signal PRC returns to a low level, the word line activation signal WDE will become high-level, and the potential of a word line will start. Of course, low decoder 20a decodes address codes 0-ARC 7, and obtains this word line. If drawing 2 is combined and referred to, the read-out output from a memory cell (W1) will appear in the digit line D by selection of a word line W1. When this read-out output is a thing equivalent to a binary digit "1", the digit line D becomes high-level.

[0026] In the sense amplifier activation signal SAP, along with the standup of the word line activation signal WDE, high level and this SAN serve as a low level. Consequently, in the circuit of drawing 2, since the potential of the gate (it connects with the digit line D) of the P-channel MOS transistor 32 and the N-channel MOS transistor 34 is high-level, in the P-channel MOS transistor 32, OFF and the N-channel MOS transistor 34 serve as ON. Therefore, in the digit line D (bar), GND potential appears through the N-channel MOS transistor 34. Since this GND potential is also the potential of the gate of the P-channel MOS transistor 31 and the N-channel MOS transistor 33, the former becomes off [ON and the latter].

[0027] By above-mentioned actuation, the digit line D serves as power supply potential through the P-channel MOS transistor 31. By this actuation, a memory cell 12 (W1) is refreshed with power supply potential, and even if the storage charge is lost by some volatilization by then, it will recover on the level of power supply potential.

[0028] Subsequently, synchronizing with the input of the multiple-message-transmission number CAS, the output and the address codes 0-ARC 7, and ARC 8-9 of the block decoder 50 input. At this event, only the column decoders 40a-40d can accept block code B0-1 and address codes 0-ARCO 7, and, unlike the time of a train selection-signal RAS input, the 2-bit address codes 8-ARC 9 are also further inputted into the column decoders 40a-40d. Consequently, also including a different column decoder from the time of a train selection-signal RAS input, one of the arbitration of the column decoders 40a-40d is selectable, and the continuation access range of a page mode is expanded by 4 times over the past.

[0029] The selected column decoder chooses four in 4,096 digit lines of the memory cell array concerned by the 8-bit address codes 0-ARC 7 and the 2-bit address codes 8-ARC 9. That is, in drawing 2, if the line selection line YSW of column decoder 40a is chosen and it becomes high-level, the N-channel MOS transistors 41 and 42 will flow, and the digit lines D and D (bar) will be connected to input output line I/O and I/O (bar), respectively. Since read-out actuation is directed at this time if the write-in enable signal WE is a low level, the potential on the digit lines D and D (bar) is led to input output line I/O and I/O (bar), and is taken out outside.

[0030] On the other hand, if the write-in enable signal WE is high-level, the write-in data inputted into input output line I/O and I/O (bar) from the outside will be led to the digit lines D and D (bar). However, since word line potential falls a passage clear from the wave of the word line potential in drawing 4 and drawing 5, and the generation logic of the word line activation signal WDE of drawing 3, the writing to the memory cell in this event is not performed.

[0031] It is suspended till access to other word lines within the cel array block concerned so that the write-in activation to a memory cell may be mentioned later. **** in the data on the digit lines D and D (bar), in order that the sense amplifier activation signals SAP/SAN may not change but that inconvenience does not arise even if it takes such measures may hold sense amplifiers 30a-30d to an activated state, as shown in drawing 4 and drawing 5 -- it is because it cannot divide. The generation logic of sense amplifier activation signal SAP/SAN is clear from drawing 3.

[0032] Therefore, read-out to the memory cell on the above digit lines D and D (bar) becomes possible, without activating a word line. After access shifts to other cel array blocks, even if it recurs this to the same word line of the cel array block concerned, it is the same.

[0033] When access which chooses other word lines within the cel array block concerned is directed, it becomes impossible however, for the data on the digit lines D and D (bar) to collateralize identity by the activation. In this case, the activity subject of the RAM concerned, for example, CPU, activates the restoration signal RSTR.

[0034] A timing chart when the restoration signal RSTR is set to a low level is as being shown in drawing 4 and drawing 5. The memory cell for which, as for this drawing, the writing to a memory cell was suspended is specified by the word line W0, and the newly accessed memory cell shows the example specified by the word line W1. In this example, since the Selectors [80a-80d] switch signal SW is set to a low level as shown also in drawing 6, a Registers [70a-70d] output is chosen. Here, it is important for Registers 70a-70d to recollect description of the point of holding the cel array blocks [which synchronized with the train selection signal RAS / 10a-10d] newest address codes 0-ARC 7.

[0035] If these address codes 0-ARC 7 are led to the low decoders 20a-20d, a word line W0 (drawing 4 and drawing 5) will start, and write-in actuation by which the maintenance data of the digit lines D and D (bar) was written in the memory cell, and was reserved will be performed. In this case, unlike the case where it is read-out on the digit lines D and D (bar) by which writing was reserved, starting of the word line W0 which can be set is needed for memory cell excitation.

[0036] It continues at above-mentioned restoration actuation, and the above-mentioned normal operation is performed.

[0037] Next, the 2nd example of this invention is described.

[0038] The 2nd example has the feature in the potential of a word line being held until it operates as the timing chart is shown in drawing 7 , and the following line selection signal RAS is activated. Consequently, when write-in actuation is directed, a hold of the write-in actuation to a memory cell [as / in the 1st example] is not carried out, but writing is performed promptly. Therefore, although this point does not differ from the conventional technology, it differs in that a sense amplifier connects an activated state also even in after termination of access actuation. Moreover, since the potential of a word line is also held at high potential, the write-in actuation even of after one termination of a memory cycle in a page mode is attained until other word lines are chosen. Therefore, in the 2nd example, the selector corresponding to Selectors 80a-80d is not needed among the components of the 1st example. The registers 70a-70d in this case are for continuing holding the potential of the selected word line as mentioned above rather than functioning for the restoration in the 1st example.

[0039] When drawing 6 which shows the details circuit of the important section of a controller 61 is referred to, this circuit The RAS system timing generating circuit 66 which generates medium signal RAS', SE', PRC', and WDE' from the train selection signal RAS, The sense amplifier activated-state holding circuit 67 which is prepared respectively corresponding to the cel array blocks 10a-10d, answers these medium RAS', SE', PRC', and WDE', and generates the medium signal SE, the precharge signal PRC, and the word line activation signal WDE, It consists of the sense amplifier activation circuit 68 which is similarly prepared respectively corresponding to the cel array blocks 10a-10d, answers the medium signal SE, and generates the sense amplifier activation signals SAP and SAN. The supply place of each generated signal is the same in the 1st example.

[0040] In the 1st example, when performing memory access of data other than sense amplifiers [30a-30d] maintenance data, since it has already finished with the writing to the memory cell of the sense amplifiers [30a-30d] above-mentioned maintenance data, restoration becomes unnecessary and can shorten the time amount of memory access so much by the 2nd example to performing the writing (restoration) to the memory cell of sense amplifiers [30a-30d] maintenance data, and performing the memory access concerned the back. In addition, although the 1st example and the 2nd example are shown in the form of a dynamic MOS memory where most current and mass [RAM] is occupied, this invention is applicable also to a static RAM.

[0041]

[Effect of the Invention] RAM of this invention is equipped with the sense amplifier always activated, and when accessing the data which exists in the sense amplifier, it becomes unnecessary activating [of a sense amplifier] it, as explained above. Moreover, it is effective in the memory address range in which rapid access is possible being expandable with installation of the block decoder which can specify a cel array block different, respectively synchronizing with the train selection signal RAS and the line selection signal CAS.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the 1st example of this invention.

[Drawing 2] They are some circuit diagrams of the circuit of the digit system in the example shown in drawing 1 .

[Drawing 3] It is the detail circuit diagram of the important section of the controller in the example shown in drawing 1 .

[Drawing 4] It is the timing chart of the whole example shown in drawing 1 .

[Drawing 5] It is the timing chart of the controller important section shown in drawing 3 .

[Drawing 6] It is the detail circuit diagram of the important section of the controller in the 2nd example of this invention.

[Drawing 7] It is the timing chart of the 2nd whole example of this invention.

[Drawing 8] It is the block diagram of an example of the conventional RAM.

[Description of Notations]

10a, 10b, 10c, 10d Cel array block

20a, 20b, 20c, 20d Low decoder

30a, 30b, 30c, 30d Sense amplifier

40a, 40b, 40c, 40d Column decoder

50 Block Decoder

60 61 Controller

70a, 70b, 70c, 70d Register

80a, 80b, 80c, 80d Selector

12 Memory Cell

31 32 P-channel MOS transistor

33, 34, 41, 42 N-channel MOS transistor

62 66 RAS system timing generating circuit

63 WORD Control Circuit for Restoration

64 67 Sense amplifier activated-state holding circuit

65 68 Sense amplifier activation circuit

[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-250867

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.⁵

G11C 11/401

識別記号

庁内整理番号

FI

技術表示箇所

6628-5L

G11C 11/34

362 C

審査請求 未請求 請求項の数3(全9頁)

(21)出願番号 特願平4-339884

(22)出願日 平成4年(1992)12月21日

(31)優先権主張番号 特願平3-360289

(32)優先日 平3(1991)12月27日

(33)優先権主張国 日本(JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 石川 透

東京都港区芝五丁目7番1号日本電気株式会社内

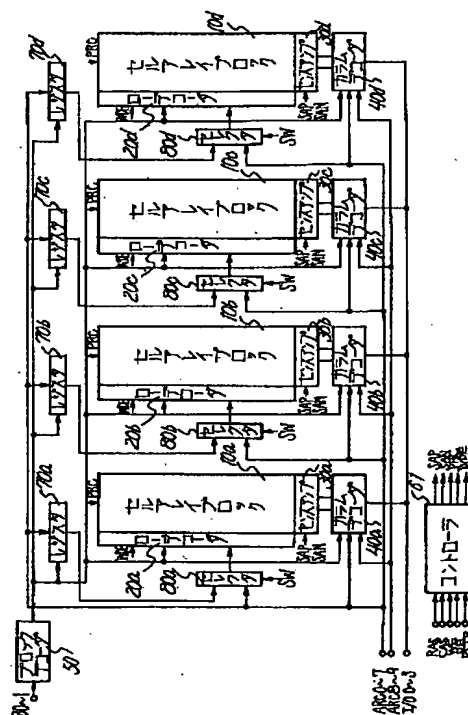
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 ランダムアクセスメモリ

(57)【要約】

【目的】 高速アクセス可能なRAMを提供する。

【構成】 センスアンプ活性化信号SAP、SANがメモリアクセス終了後もそれぞれ高電位、低電位に保持され、センスアンプ30aを活性化状態に保ちメモリセルからの読出しデータを保持するように構成した高速動作のMOSメモリ装置を記載している。このメモリ装置は列選択信号RASと行選択信号CASとに同期して互いに異なるセルアレイブロックを指定するブロックデコード50を備えるので行選択信号CAS入力時にはセルアレイブロック10a~10dにまたがったページモードでの書込み/読出し動作が可能である。



(2)

【特許請求の範囲】

【請求項1】 デジット線方向に配列された複数のセルアレイブロックから成るメモリセルアレイと、該セルアレイブロックと一対一対応でそれぞれ設けられたローデコーダ、カラムデコーダ及びセンスアンプと、前記セルアレイブロックへのアクセス終了後も該アクセスによって読み出されたデジット線上のデータを保持するデータ電位保持回路と、列選択タイミング信号及び行選択タイミング信号にตอบสนองして前記複数のブロックを時間軸上の互いにずれた位置に1つずつ指定できるブロックデコーダとを有することを特徴とするランダムアクセスメモリ。

【請求項2】 前記複数のセルアレイブロックにそれぞれ対応して設けられ、最新のアクセス時に選択されたワード線に対応するメモリセルのアドレス情報を保持する第1のレジスタと、同様に前記セルアレイブロックにそれぞれ対応して設けられ通常は列選択信号に同期したアドレス情報を受け入れるが、上位装置からリストア信号が入力すると前記レジスタの保持する前記アドレス情報を受け入れてそれぞれローデコーダに導くセクタとをさらに備え、前記メモリセルへの書込み動作を前記リストア信号入力時まで留保することを特徴とする請求項1記載のランダムアクセスメモリ。

【請求項3】 前記複数のセルアレイブロックにそれぞれ対応して設けられ最新のアクセス時に選択されたワード線に対応するメモリセルのアドレス情報を保持する第2のレジスタをさらに備えることを特徴とする請求項1記載のランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はランダムアクセスメモリ（RAM）、特にメモリセルアレイがデジット線方向に配列された複数のブロックから成り、それらブロックの各々にローデコーダ、カラムデコーダ及びセンスアンプを備えた集積回路構成の大容量RAMに関する。

【0002】

【従来の技術】 従来のこの種のRAMの一例のブロック図である図8を参照すると、本例は集積回路で構成される4メガビットのダイナミックRAMであり、書込み読出しを4ビット単位で行う1M×4ビットダイナミックRAMである。このダイナミックRAMのメモリセルアレイは後述のとおり互いにずれたタイミングでアクセスされる4個のセルアレイブロック10a、10b、10cおよび10dから成り、これらセルアレイブロックの各々は256列×4096行のマトリクス状に配置されたメモリセルから成る。これらメモリセルはMOSで構成されており、保持データの経時的揮発の補償のために定期的なリフレッシュを必要とする。セルアレイブロック10a、10b、10cおよび10dには、ローデコーダ20a、20b、20cおよび20d、センスアンプ30a、30b、30cおよび30d並びにカラムデ

コーダ40a、40b、40cおよび40dがそれぞれ付随して配置されている。以下セルアレイブロック10aについて説明するが、この説明は他のブロック10b、10cおよび10dについてもそのまま適合する。

【0003】 ローデコーダ20aはセルアレイブロック10aの256個の列の一つに対応するワード線を選択し、センスアンプ30aはこの選択されたワード線によって励起される4096個のメモリセルそれぞれを読み書きする。これら4096個のメモリセルのうち書込み／読出しのために同時にアクセスされるのは4個のみであり、それらセルが属する4本のデジット線の選択をカラムデコーダ40aが行う。

【0004】 一方、セルアレイブロック10a、10b、10cおよび10dのうちの一つを選択するブロックデコーダ50と、外部からの列選択信号RAS、行選択信号CAS、書込イネーブル信号WE及びチップイネーブル信号OEの供給を受けて、上述の各回路の制御に必要な制御信号を生成するコントローラ60が上記セルブロック10a、10b、10cおよび10dに共通に備えられる。

【0005】 チップイネーブル信号OEが活性化されると、このRAMは動作状態に入る。まず、列選択信号RASに同期して外部から供給される8ビットアドレスコードARC0～7がローデコーダ20a等に、また2ビットアドレスコードARC8～9がブロックデコーダ50にそれぞれ導かれるとともに、ブロックデコーダ50の出力がローデコーダ20a等およびカラムデコーダ40a等に供給される。この結果、例えばメモリセルアレイブロック10aのうち1本のワード線が選択される。

【0006】 次いで、行選択信号CASに同期して外部から供給される8ビットアドレスコードARC0～7および2ビットアドレスコードARC8～9がカラムデコーダ40a等に導かれる。カラムデコーダ40aには既にブロックデコーダ50の出力が供給されているので、上例に従えばセルアレイブロック10aの4096本のデジット線のうちの4本が選択される。

【0007】 読出し動作と書込み動作の区別は書込イネーブル信号WEで指定され、読出し動作時には上述の選択されたワード線とデジット線とで特定される4個のメモリセルから読出し信号がセンスアンプ30aで増幅されて4ビットのデータI/O0～3として外部に出力される。また、書込み動作時には外部から供給された4ビットのデータI/O0～3が同じ4個のメモリセルに書き込まれる。一つのワード線についてのアクセスが終了すると、そのワード線およびそのワード線が属するセルアレイブロック10a対応のセンスアンプ30aが不活性化され、デジット線上のデータも消滅する。

【0008】

【発明が解決しようとする課題】 上述した従来のRAMでは、他のセルアレイブロックに読出しのためのアクセ

(3)

3

ス（読出しアクセス）が移った場合に選択されたワード線が、そのメモリセルアレイへの最後のアクセス時に選択されたワード線と同一であったとしても、当該デジット線上のデータは消失しているためワード線を再び励起して読出しアクセスを開始しなければならない。それだけ高速アクセスが阻害されることになる。つまり、従来のRAMでは、ページモードのような高速アクセスは、同一セルアレイブロック内での同一ワード線でアクセスされるデータに限られ、それ以外のセルアレイブロックに移ることはできないという問題点がある。

【0009】本発明の目的は、高速アクセスの可能なRAMを提供することにある。

【0010】本発明の他の目的は、ページモードでの動作可能アドレス範囲を拡大できるR読Mを提供することにある。

【0011】

【課題を解決するための手段】本発明のRAMは、アクセス終了後も当該アクセス対象のデジット線上のデータを保持するデータ保持回路を備える。また、列選択信号RAS及び行選択信号CASにตอบสนองして、互いに異なる2つのブロックを指定できるブロックデコーダを備える。

【0012】好ましくは、本発明のRAMは、上記データ保持回路及びブロックデコーダの他に、上記ブロックの各々に設けた第1のレジスタを備える。この第1のレジスタは、ブロックデコーダの指示により、当該ブロックにおける最後のアクセス対象となったワード線を特定するアドレス情報を保持する。このときメモリセルへの書込みは実行されず、次に同じブロックがアクセスされたときに、そのアクセス実行に先立って、上記レジスタ保持の上記アドレス情報に基づき実行される。ワード線の電位は従来のRAMと同様にメモリセルアクセス毎に帰する。

【0013】さらに好ましくは、本発明のRAMは、上記のデータ保持回路、ブロックデコーダ及び第2のレジスタを備え、ワード線の電位はメモリセルアクセス終了後も帰しない構成とする。

【0014】

【実施例】本発明の第1の実施例を、図8の従来例と共通な構成要素には共通の参照番号を付けて示した図1を参照すると、本実施例は、セルアレイブロック10a、10b、10cおよび10dに一対一対応で設けたレジスタ70a、70b、70cおよび70d並びにセクタ80a、80b、80cおよび80dを備える。また、これに伴ってコントローラ61は、後述のとおり、図8におけるコントローラ60とは異なる機能を備える。

【0015】ブロックデコーダ50は、2ビットのセルアレイブロックコードB0～1の供給を受け、ローデコーダ20a～20d、カラムデコーダ40a～40d及びレジスタ70a～70dに出力を供給する。セルアレイブロックコードB0～1は、列選択信号RASおよび

4

行選択信号CASに同期してそれぞれ異なった値をとることができ、この結果により、セルアレイブロック10a～10dにわたるページモードでの後述の連続動作ができる。レジスタ70a～70dのうちブロックデコーダ50により指示されたレジスタは、ワード線の指定に必要な列選択信号RASに同期した8ビットアドレスコードARC0～7を保持する。このアドレスコードARC0～7の保持は、アクセスが他のセルアレイブロックに移っても失われることはないもので、これらレジスタ70a～70dはセルアレイブロック10a～10dにおける最後のアクセスのアドレスコードARC0～7をそれぞれ記憶することになる。

【0016】通常動作時においては、セクタ80a～80dは列選択信号RASに同期したアドレスコードARC0～7の供給を受けてローデコーダ20a～20dに導く。一方、後述のリストア信号RSTRが外部からコントローラ61に入力されると、これらセクタ80a～80dはスイッチ信号SWにตอบสนองしてレジスタ70a～70dの保持内容をローデコーダ20a～20dにそれぞれ導く。

【0017】図2は、セルアレイブロック10a、センスアンプ30a及びカラムデコーダ40aの回路構成を1つのデジット線対について示す（実際には、セルアレイブロック10aは4096個のデジット線対を有するがそのうちの1対だけを図示してある）。入出力信号線I/O及びI/O（バー）は、外部入出力インタフェースにより4組のみであり、各組には、カラムデコーダ40aについて図示された1対のN型MOSトランジスタ41及び42による1、024個のスイッチが対応付けられる。カラム信号YSWは各組の同一位置の4個のスイッチに共通した入力となる。

【0018】コントローラ61の要部の詳細回路を示す図3を参照すると、本回路は、列選択信号RASとリストア信号RSTRとから、中間信号SE'、PRC'及びWDE1を生成するRAS系タイミング発生回路62と、列選択信号RASとリストア信号RSTR及び中間信号WDE1からワード線活性化信号WDE、スイッチ信号SW及び中間信号RAS'を生成するリストア用ワード制御回路63と、セルアレイブロック10a～10dにそれぞれ対応して設けられた中間信号SE'、PRC'及びRAS'にตอบสนองしてプリチャージ信号PRC及び中間信号SEを生成するセンスアンプ活性化状態保持回路64と、セルアレイブロック10a～10dにそれぞれ対応して設けられ中間信号SEにตอบสนองしてセンスアンプ活性化信号SAP及びSANを生成するセンスアンプ活性化回路65とから成る。

【0019】ワード線活性化信号WDEはローデコーダ20a～20d、スイッチ信号SWはセクタ80a～80d、プリチャージ信号PRCはセルアレイブロック10a～10d、センスアンプ活性化信号SAP、SA

(4)

5

Nはセンスアンプ30a~30dにそれぞれ供給される。

【0020】この実施例のRAN全体のタイミングチャートである図4と図3図示部分のタイミングチャートである図5とを併せ参照しながら本実施例の動作を次に説明する。

【0021】まず、通常動作、すなわちリストア信号RSTRが活性化されていない場合について説明する。この場合には、リストア信号RSTRはハイレベルであるので、図3に示したリストア用ワード制御回路63における中間信号WDE2はロウレベルを維持する。したがって、図4及び図5においてワード線波形WOは省略される。

【0022】列選択信号RASに同期してセルアレイブロックコードB0~1及びアドレスコードB0~1及びアドレスコードARC0~7が外部から入力されると、ブロックデコーダ50はそのブロックコードを解読して、その結果によりデコーダ20a~20d及びレジスタ80a~80dのうちのいずれか一組を活性化する。ブロックデコーダ50の出力はカラムデコーダ40a~40dにも供給されるが、この時点では同回路は活性化されないで受け入れられない。ローデコーダ20a及びレジスタ70a、したがってセルアレイブロック10aが選択されたものと仮定した上述の説明は、他のセルアレイブロック10b~10dが選択された場合も、同様に適合する。

【0023】アドレスコードARC0~7は、スイッチ信号SWがハイレベルであるので、セクタ80a~80dによってローデコーダ20a~20dに供給されるが、ローデコーダ20aのみににおいて有効化される。また、アドレスコードARC0~7はレジスタ70aに入力され保持される。レジスタ70aの出力はセクタ80aに供給されるが、スイッチ信号SWがハイレベルに留まる間はセクタ80aによって選択されることはない。カラムデコーダ40aに供給されているアドレスコードARC0~7もまた前述の理由により、この時点では受け入れられない。

【0024】図3における中間信号SEがロウレベルになると、センスアンプ活性化信号SAP、SANは同一電位になってセンスアンプ30aは非活性化される。これとほぼ同時に、図3のセンスアンプ活性化状態保持回路64で生成されたハイレベルのプリチャージ信号PRCが、図2のN型MOSトランジスタ11のゲートに印加され、デジット線D、D(バー)は、図4に示すように等電位化される。これは、メモリセルの読出し信号に備えて、それまでのデジット線D、D(バー)の電位アンバランスをクリアしておくための前処理である。

【0025】プリチャージ信号PRCがローレベルに復帰するとワード線活性化信号WDEがハイレベルとなってワード線の電位が立ち上がる。このワード線は、勿論

6

ローデコーダ20aがアドレスコードARC0~7を解読して得たものである。図2を併せ参照すると、ワード線W1の選択によりメモリセル(W1)からの読出し出力がデジット線Dに現われる。この読出し出力が2値デジット“1”に相当するものである場合、デジット線Dはハイレベルとなる。

【0026】ワード線活性化信号WDEの立上りにつれて、センスアンプ活性化信号SAPはハイレベル、同SANはローレベルとなる。この結果、図2の回路において、P型MOSトランジスタ32及びN型MOSトランジスタ34のゲート(デジット線Dに接続されている)の電位はハイレベルとなっているので、P型MOSトランジスタ32はオフ、N型MOSトランジスタ34はオンとなる。従って、デジット線D(バー)にはN型MOSトランジスタ34を介してGND電位が現われる。このGND電位はP型MOSトランジスタ31及びN型MOSトランジスタ33のゲートの電位でもあるので、前者はオン、後者はオフとなる。

【0027】上述の動作により、デジット線DはP型MOSトランジスタ31を介して電源電位となる。この動作により、メモリセル12(W1)は、電源電位でリフレッシュされ、それまでに若干の揮発により記憶電荷が失われていても電源電位のレベルに回復することになる。

【0028】次いで、列信号CASの入力と同期して、ブロックデコーダ50の出力及びアドレスコードARC0~7とARC8~9が入力する。この時点では、カラムデコーダ40a~40dのみがブロックコードB0~1及びアドレスコードARC0~7を受け入れることができ、さらに列選択信号RAS入力時とは異なって、2ビットアドレスコードARC8~9もカラムデコーダ40a~40dに入力される。その結果、列選択信号RAS入力時と異なるカラムデコーダも含めて、カラムデコーダ40a~40dのうちの任意の一つが選択可能であり、ページモードでの連続アクセス範囲が従来の4倍に拡大する。

【0029】選択されたカラムデコーダは8ビットアドレスコードARC0~7と2ビットアドレスコードARC8~9とによって当該メモリセルアレイの4,096本のデジット線内の4本を選ぶ。すなわち、図2において、カラムデコーダ40aの行選択線YSWが選択されてハイレベルになると、N型MOSトランジスタ41及び42が導通し、デジット線DとD(バー)はそれぞれ入出力線I/OとI/O(バー)に接続される。このとき、書込みイネーブル信号WEがロウレベルであれば読出し動作が指示されているため、デジット線DとD(バー)上の電位は入出力線I/OとI/O(バー)に導かれ外部に取り出される。

【0030】一方、書込みイネーブル信号WEがハイレベルであれば入出力線I/OとI/O(バー)に外部か

(5)

7

ら入力した書込みデータがデジット線DとD（バー）に導かれる。しかし、図4及び図5におけるワード線電位の波形および図3のワード線活性化信号WDEの生成論理から明らかとなっており、ワード線電位は下がるので、この時点でのメモリセルへの書込みは行われない。

【0031】メモリセルへの書込み実行は、後述するように、当該セルアレイブロック内の他のワード線へのアクセス時まで保留される。このような処置をしても不都合が生じないのは、図4及び図5に示された如く、センスアンプ活性化信号SAP/SANが変化せずセンスアンプ30a~30dを活性化状態に保持するため、デジット線DとD（バー）上のデータが失なわれないからである。センスアンプ活性化信号SAP/SANの生成論理は図3から明らかである。

【0032】したがって、上述のようなデジット線DとD（バー）上のメモリセルへの読出しは、ワード線の活性化を行うことなく可能となる。このことはアクセスが他のセルアレイブロックに移行した後に、当該セルアレイブロックの同一ワード線に回帰したとしても同様である。

【0033】しかしながら、当該セルアレイブロック内の他のワード線を選択するアクセスが指示されたときは、その実行によってデジット線DとD（バー）上のデータは同一性を担保できなくなる。この場合、当該RAMの使用主体、例えばCPUはリストア信号RSTRを活性化する。

【0034】リストア信号RSTRがロウレベルになった場合のタイミングチャートは図4及び図5に示すとおりである。同図は、メモリセルへの書込みが保留されたメモリセルはワード線W0によって指定され、新たにアクセスされたメモリセルはワード線W1によって指定された例を示している。この例においては、図6にも示されるとおり、セクタ80a~80dへのスイッチ信号SWがロウレベルになるので、レジスタ70a~70dの出力が選択される。ここで、レジスタ70a~70dは列選択信号RASに同期したセルアレイブロック10a~10dへの最新のアドレスコードARC0~7を保持しているという先の記述を想起することが重要である。

【0035】このアドレスコードARC0~7がローデコーダ20a~20dに導かれると、ワード線W0（図4及び図5）が立ち上がり、デジット線DとD（バー）の保持データがメモリセルに書き込まれ、留保されていた書込み動作が実行される。この場合におけるワード線W0の立上げは、書込みが留保されたデジット線DとD（バー）上の読出しの場合と異なり、メモリセル励起のために必要となる。

【0036】上述のリストア動作に引続き、前述の通常動作が行われる。

【0037】次に、本発明の第2の実施例について述べ

8

る。

【0038】第2の実施例は、図7にそのタイミングチャートを示すように動作し、次の行選択信号RASが活性化されるまではワード線の電位が保持されることに特徴がある。この結果、書込み動作が指示されている場合には、第1の実施例におけるようなメモリセルへの書込み動作の保留はされず、直ちに書込みが実行される。したがって、この点は従来技術と異なることはないが、アクセス動作の終了後もセンスアンプが活性化状態を接続する点は異なる。また、一つのメモリスサイクルの終了後も、他のワード線が選択されるまでは、ワード線の電位も高電位に保持されるのでページモードでの書込み動作が可能となる。したがって、第2の実施例では、第1の実施例の構成要素のうちセクタ80a~80dに対応するセクタを必要としない。この場合のレジスタ70a~70dは、第1の実施例におけるリストアのために機能するのではなく、上述のように、選択されたワード線の電位を保持し続けるためのものである。

【0039】コントローラ61の要部の詳細回路を示す図6を参照すると、本回路は、列選択信号RASから中間信号RAS'、SE'、PRC'及びWDE'を生成するRAS系タイミング発生回路66と、セルアレイブロック10a~10dにそれぞれ対応して設けられこれら中間RAS'、SE'、PRC'及びWDE'に应答して中間信号SE、プリチャージ信号PRC及びワード線活性化信号WDEを生成するセンスアンプ活性化状態保持回路67と、同様にセルアレイブロック10a~10dにそれぞれ対応して設けられ中間信号SEに应答してセンスアンプ活性化信号SAP及びSANを生成するセンスアンプ活性化回路68とから成る。生成された各信号の供給先は第1の実施例におけるのと同じである。

【0040】第1の実施例では、センスアンプ30a~30dの保持データ以外のデータのメモリアccessを行う場合には、センスアンプ30a~30dの保持データのメモリセルへの書き込み（リストア）を行なうのち当該メモリアccessを行なっているのに対して、第2の実施例では、センスアンプ30a~30dの上記保持データのメモリセルへの書込みに既に終わっているのでリストアは不要となり、それだけメモリアccessの時間を短縮できる。なお、第1の実施例、第2の実施例とも、現在、大容量RAMの大半を占めるダイナミックMOSメモリの形で示してあるが、本発明はスタティックRAMにも適用可能である。

【0041】

【発明の効果】以上説明したとおり、本発明のRAMは、常時活性化されているセンスアンプを備え、そのセンスアンプに存在しているデータをアクセスする場合はセンスアンプの活性化が不要となる。また、列選択信号RASと行選択信号CASに同期して、それぞれ異なるセルアレイブロックを指定できるブロックデコーダの導

(6)

9

10

入によって高速アクセス可能なメモリアドレス範囲を拡大できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図である。

【図2】図1に示した実施例におけるデジット系の回路の一部の回路図である。

【図3】図1に示した実施例におけるコントローラの要部の詳細回路図である。

【図4】図1に示した実施例全体のタイミングチャートである。

【図5】図3に示したコントローラ要部のタイミングチャートである。

【図6】本発明の第2の実施例におけるコントローラの要部の詳細回路図である。

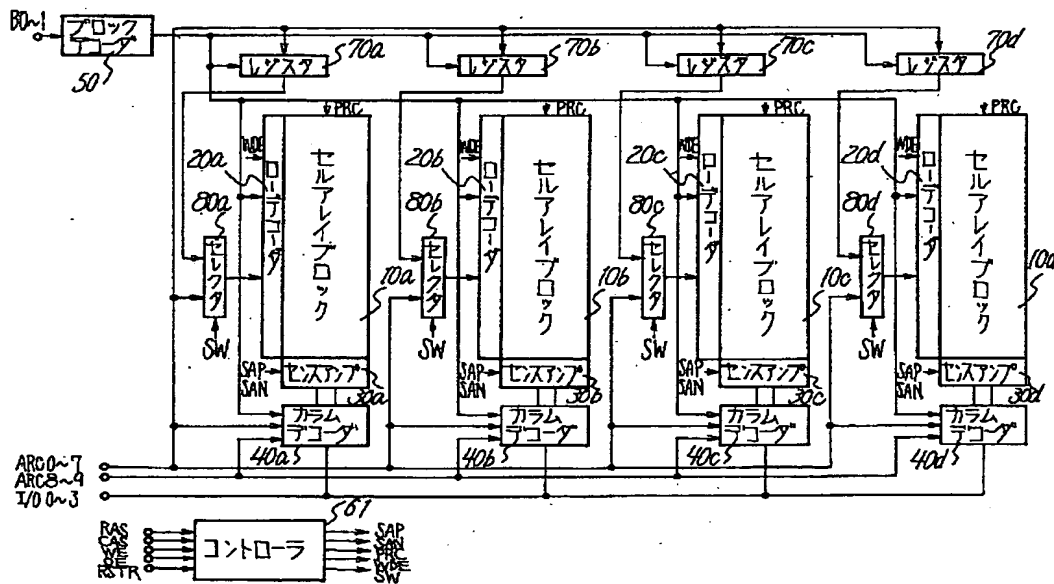
【図7】本発明の第2の実施例全体のタイミングチャートである。

【図8】従来のRAMの一例のブロック図である。

【符号の説明】

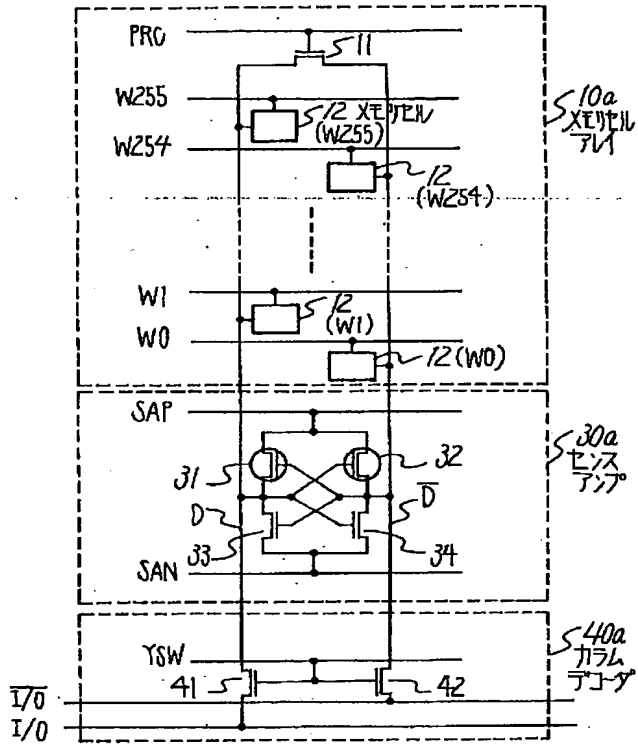
10a, 10b, 10c, 10d セルアレイブロック
20a, 20b, 20c, 20d ローデコーダ
30a, 30b, 30c, 30d センスアンプ
40a, 40b, 40c, 40d カラムデコーダ
50 ブロックデコーダ
60, 61 コントローラ
70a, 70b, 70c, 70d レジスタ
80a, 80b, 80c, 80d セレクタ
12 メモリセル
31, 32 P型MOSトランジスタ
33, 34, 41, 42 N型MOSトランジスタ
62, 66 RAS系タイミング発生回路
63 リストア用ワード制御回路
64, 67 センスアンプ活性化状態保持回路
65, 68 センスアンプ活性化回路

【図1】

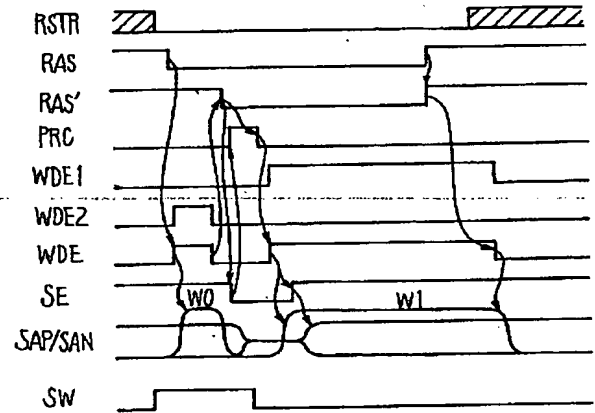


(7)

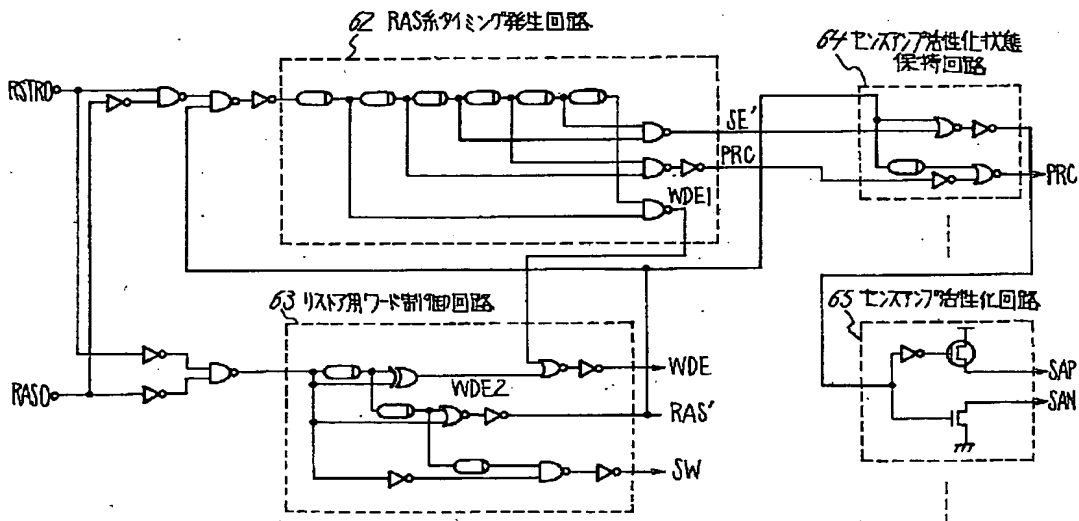
【図2】



【図5】

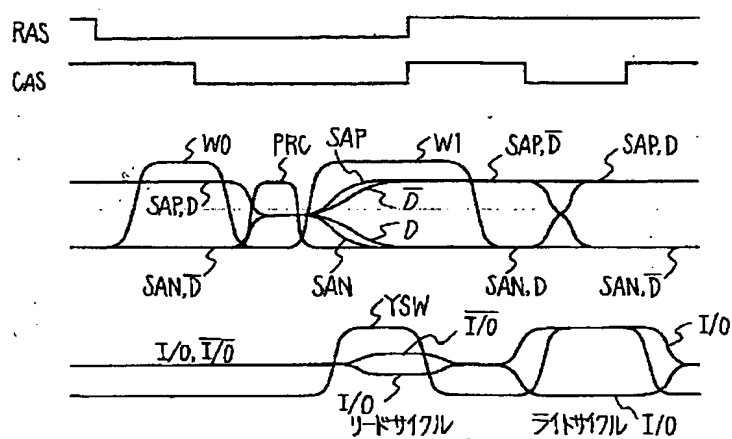


【図3】

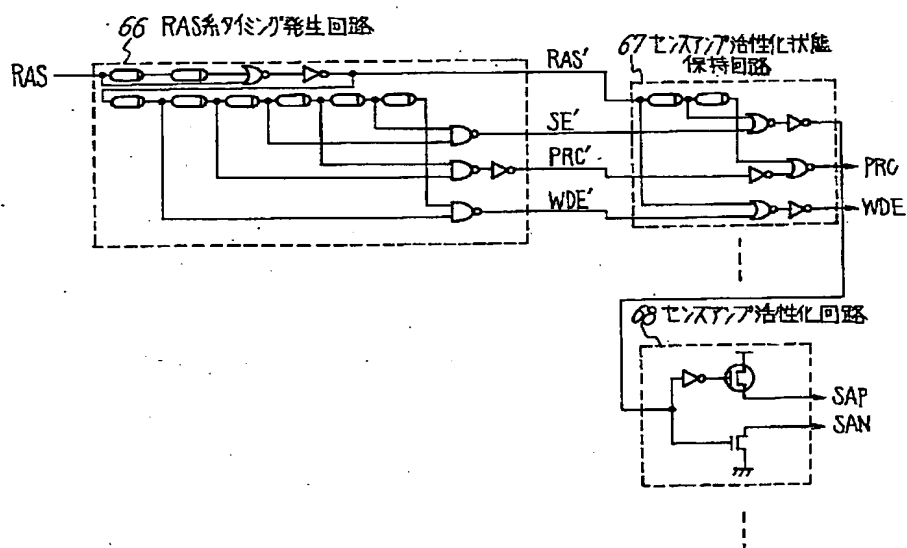


(8)

【図 4】

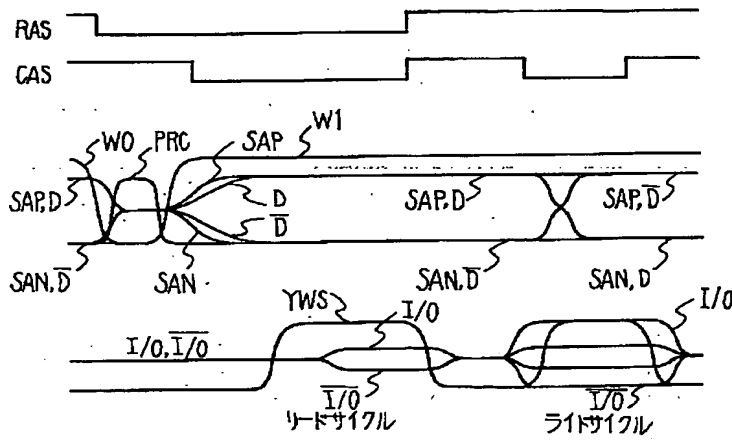


【图 6】



(9)

【図7】



【図8】

